



PATENT APPLICATION

UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Shin FUJITA

Group Art Unit: Unknown

Application No.: 10/629,591

Examiner: Unknown

Filed: July 30, 2003

Docket No.: 116726

For: OUTPUT CONTROL CIRCUIT, DRIVING CIRCUIT, ELECTRO-OPTIC APPARATUS,
AND ELECTRONIC INSTRUMENT

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-233880 filed August 9, 2002.

In support of this claim, a certified copy of said original foreign application:

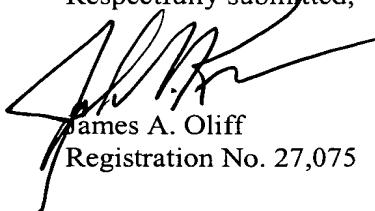
X is filed herewith.

_____ was filed on _____ in Parent Application No. _____ filed _____.

_____ will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

John S. Kern
Registration No. 42,719

JAO:JSK/kap

Date: October 20, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2002年 8月 9日

出願番号
Application Number:

特願2002-233880

[ST.10/C]:

[JP2002-233880]

出願人
Applicant(s):

セイコーエプソン株式会社

2003年 6月26日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3050777

【書類名】 特許願
 【整理番号】 J0092714
 【提出日】 平成14年 8月 9日
 【あて先】 特許庁長官殿
 【国際特許分類】 G02F 1/133
 G09G 3/36
 G09G 3/30

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 藤田 伸

【特許出願人】

【識別番号】 000002369
 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅薈

【連絡先】 0266-52-3139

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤綱 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 出力制御回路、駆動回路、電気光学装置および電子機器

【特許請求の範囲】

【請求項1】 クロック信号に同期して開始パルスを順次シフトする複数の単位回路を継続接続した転送手段とともに用いられ、前記各単位回路の出力信号に基づいて、正論理出力信号とこれを反転した負論理出力信号との組みを生成する出力制御回路であって、

ある単位回路の出力信号と次段の単位回路の出力信号とに基づいて、両単位回路の出力信号が同時に有効となる期間に有効となる出力信号を生成する第1論理演算部と、

前記第1論理演算部の出力信号に基づいて、前記正論理出力信号と前記負論理出力信号とを生成するとともに、次段の出力制御回路における第1論理演算部の出力信号に基づいて、前記正論理出力信号または前記負論理出力信号の有効期間を制限する第2論理演算部と

を備えることを出力制御回路。

【請求項2】 前記第2論理演算部は、前記第1論理演算部の出力信号に基づいて前記正論理出力信号を生成する第1系統と、前記第1論理演算部の出力信号に基づいて前記負論理出力信号を生成する第2系統とを備え、前記第1系統と前記第2系統とのうち遅延時間が大きい方の系統は、次段の出力制御回路における第1論理演算部の出力信号に基づいて、前記正論理出力信号と前記負論理出力信号のうち当該系統で生成すべき信号の有効期間を制限する論理回路を備えたこと特徴とする請求項1に記載の出力制御回路。

【請求項3】 前記第1論理演算部の出力信号はローレベルで有効となり

前記第2論理演算部の前記論理回路は、前記第2系統に含まれ、次段の出力制御回路における第1論理演算部の出力信号に基づいて、前記負論理出力信号の有効期間を制限する NAND 回路であることを特徴とする請求項2に記載の出力制御回路。

【請求項4】 前記単位回路の出力信号はハイレベルで有効となり、

前記第1論理演算部は NAND 回路を有し、

前記第2論理演算部の第1系統は、前記第1論理演算部の NAND 回路の出力信号を反転して前記正論理出力信号として出力する第1反転回路を備え、

前記第2論理演算部の第2系統は、前記第1論理演算部の NAND 回路の出力信号を反転して出力する第2反転回路と、前記第2反転回路の出力信号と前記次段の出力制御回路における第1論理演算部の出力信号との論理積の反転を演算して前記負論理出力信号として出力する前記論理回路とを備える

ことを特徴とする請求項3に記載の出力制御回路。

【請求項5】 前記第1論理演算部の出力信号はハイレベルで有効となり

前記第2論理演算部の前記論理回路は、前記第1系統に含まれ、次段の出力制御回路における第1論理演算部の出力信号に基づいて、前記正論理出力信号の有効期間を制限するノア回路であることを特徴とする請求項2に記載の出力制御回路。

【請求項6】 前記単位回路の出力信号はローレベルで有効となり、

前記第1論理演算部はノア回路を有し、

前記第2論理演算部の第2系統は、前記第1論理演算部のノア回路の出力信号を反転して前記負論理出力信号として出力する第1反転回路を備え、

前記第2論理演算部の第1系統は、前記第1論理演算部のノア回路の出力信号を反転して出力する第2反転回路と、前記第2反転回路の出力信号と前記次段の出力制御回路における第1論理演算部の出力信号との論理和の反転を演算して前記正論理出力信号として出力する前記論理回路とを備える

ことを特徴とする請求項5に記載の出力制御回路。

【請求項7】 前記論理回路の前段に信号の振幅を変換するレベル変換回路を設けたことを特徴とする請求項2に記載の出力制御回路。

【請求項8】 前記単位回路の出力信号はハイレベルで有効となり、

前記第1論理演算部は NAND 回路を有し、

前記第2論理演算部は、

前記第1論理演算部の NAND 回路の出力信号を反転する第2反転回路と、

前記第1論理演算部の NAND 回路の出力信号と前記第2反転回路の出力信号との信号振幅を各々変換して出力する前記レベル変換回路と、
レベル変換された前記第1論理演算部の NAND 回路の出力信号を反転して前記正論理出力信号として出力する第1反転回路と、
レベル変換された前記第2反転回路の出力信号と前記次段の出力制御回路におけるレベル変換された第1論理演算部の出力信号との論理積の反転を演算して前記負論理出力信号として出力する前記論理回路と
を備えることを特徴とする請求項7に記載の出力制御回路。

【請求項9】 前記単位回路の出力信号はローレベルで有効となり、
前記第1論理演算部はノア回路を有し、
前記第2論理演算部は、
前記第1論理演算部のノア回路の出力信号を反転する第2反転回路と、
前記第1論理演算部のノア回路の出力信号と前記第2反転回路の出力信号との信号振幅を各々変換して出力する前記レベル変換回路と、
レベル変換された前記第1論理演算部のノア回路の出力信号を反転して前記負論理出力信号として出力する第1反転回路と、
レベル変換された前記第2反転回路の出力信号と前記次段の出力制御回路におけるレベル変換された第1論理演算部の出力信号との論理和の反転を演算して前記正論理出力信号として出力する前記論理回路と
を備えることを特徴とする請求項7に記載の出力制御回路。

【請求項10】 前記第2論理演算部の後段に設けられ、前記第2論理演算部の各出力信号の電流を増幅して前記正論理出力信号および前記負論理出力信号として出力する電流増幅部を備えたことを特徴とする請求項1乃至10のうちいずれか1項に記載した出力制御回路。

【請求項11】 前記第2論理演算部の後段に設けられ、前記第2論理演算部の各出力信号を双方向に保持する保持部を備え、前記保持部の各出力信号を前記正論理出力信号および前記負論理出力信号として出力することを特徴とする請求項1乃至10のうちいずれか1項に記載した出力制御回路。

【請求項12】 複数の走査線と、複数のデータ線と、前記走査線と前記

データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子とを有する電気光学装置を駆動する駆動回路であって、

クロック信号に同期して開始パルスを順次シフトする単位回路を継続接続した転送手段と、

請求項1乃至11のうちいずれか1項に記載された出力制御回路を複数備えた出力制御手段と

を備えたことを特徴とする駆動回路。

【請求項13】 複数の走査線と、

複数のデータ線と、

前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子と、

画像信号が供給される画像信号線と、

前記各データ線に対応して設けられ、ハイレベルで有効となる制御信号とロー レベルで有効となる制御信号の組によってオン・オフが制御され、一方の端子が前記データ線に接続され、他方の端子が前記画像信号線に接続される複数のスイッチ回路と、

前記各スイッチ回路に前記制御信号の組として前記正論理出力信号および前記負論理出力信号を供給する請求項12に記載の駆動回路と
を備えたことを特徴とする電気光学装置。

【請求項14】 請求項13に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック信号に同期して開始パルスを順次シフトする複数の単位回路を継続接続した転送手段とともに用いられる出力制御回路、駆動回路、電気光学装置および電子機器に関する。

【0002】

【従来の技術】

従来の電気光学装置、例えば、液晶装置の駆動回路は、画像表示領域に配線されたデータ線や走査線などに、データ線信号や走査信号などを所定タイミングで供給するためのデータ線駆動回路や走査線駆動回路などから構成されている。そして、データ線駆動回路の後段には、サンプリング回路が設けられている。サンプリング回路は、データ線駆動回路から供給される各サンプリング信号に基づいて、画像信号をサンプリングして各データ線に供給している。

【0003】

従来のデータ線駆動回路は、開始パルスをシフトするシフトレジスタと、シフトレジスタの各段の出力信号に基づいてサンプリング信号を生成する出力制御回路を備えるものが一般的である。

【0004】

【発明が解決しようとする課題】

各サンプリング信号は排他的に順次アクティブとなるのが理想であるが、データ線駆動回路を構成する論理回路の遅延によって、あるサンプリング信号と次のサンプリング信号の有効期間が重複することがある。

【0005】

このような問題を解決するため、出力制御回路から出力されるサンプリング信号を有効にするイネーブル信号あるいは無効にするインヒビット信号を供給し、サンプリング信号のパルス幅を制限することも考えられる。

【0006】

しかしながら、データ線駆動回路の動作周波数が高い場合には、隣接するサンプリング信号を無効にする期間が短くなるため、イネーブル信号やインヒビット信号が極めて高い周波数成分を含むことになる。一方、イネーブル信号やインヒビット信号を供給するための配線には浮遊容量があるため、そのような配線を介して高周波信号を伝送するには一定の限界がある。したがって、データ線駆動回路の動作周波数が高い場合には、イネーブル信号やインヒビット信号を十分に伝送することができず、隣接するサンプリング信号が重なってしまうといった問題があった。

【0007】

また、たとえイネーブル信号やインヒビット信号を伝送してサンプリング信号のパルス幅を制限できたとしても、サンプリング信号のパルス幅が狭くなることによって次の問題が発生する。すなわち、画像信号はサンプリング信号のアクティブ期間にデータ線に供給されるが、データ線はそれ自体容量を有するので、サンプリング信号のアクティブ期間が短くなると、画像信号をデータ線に十分書き込むことができなくなる。この点は、データ線駆動回路の動作周波数が高くなる程、大きな問題となる。

【0008】

本発明は、上述した事情に鑑みてなされたものであり、サンプリング信号のアクティブ期間の重複を無くす出力信号制御回路、これを用いた駆動回路等を提供することを課題とする。

【0009】

【課題を解決するための手段】

上記課題を解決するために、本発明に係る出力制御回路は、クロック信号に同期して開始パルスを順次シフトする複数の単位回路を継続接続した転送手段とともに用いられ、前記各単位回路の出力信号に基づいて、正論理出力信号とこれと反転した負論理出力信号との組みを生成するものであって、ある単位回路の出力信号と次段の単位回路の出力信号とに基づいて、両単位回路の出力信号が同時に有効となる期間に有効となる出力信号を生成する第1論理演算部と、前記第1論理演算部の出力信号に基づいて、前記正論理出力信号と前記負論理出力信号とを反転し、次段の出力制御回路における第1論理演算部の出力信号に基づいて、前記正論理出力信号または前記負論理出力信号の有効期間を制限する第2論理演算部とを備える。

【0010】

この発明によれば、次段の出力制御回路における第1論理演算部の出力信号に基づいて、正論理出力信号または負論理出力信号の有効期間が制限されるから、隣接する出力制御回路の出力信号間の有効期間を重複するこがないように調整することが可能となる。

【0011】

ここで、前記第2論理演算部は、前記第1論理演算部の出力信号に基づいて前記正論理出力信号を生成する第1系統と、前記第1論理演算部の出力信号に基づいて前記負論理出力信号を生成する第2系統とを備え、前記第1系統と前記第2系統とのうち遅延時間が大きい方の系統は、次段の出力制御回路における第1論理演算部の出力信号に基づいて、前記正論理出力信号と前記負論理出力信号のうち当該系統で生成すべき信号の有効期間を制限する論理回路を備えることが好ましい。この発明では、遅延時間の大きい系統にタイミング調整用の論理回路を組み込むので、隣接する出力制御回路の出力信号間の有効期間が重複することを防止することができる。

【0012】

また、前記第1論理演算部の出力信号はローレベルで有効となるならば、前記第2論理演算部の前記論理回路は、前記第2系統に含まれ、次段の出力制御回路における第1論理演算部の出力信号に基づいて、前記負論理出力信号の有効期間を制限する NAND 回路であることが好ましい。

【0013】

より具体的には、前記単位回路の出力信号はハイレベルで有効となり、前記第1論理演算部は NAND 回路を有し、前記第2論理演算部の第1系統は、前記第1論理演算部の NAND 回路の出力信号を反転して前記正論理出力信号として出力する第1反転回路を備え、前記第2論理演算部の第2系統は、前記第1論理演算部の NAND 回路の出力信号を反転して出力する第2反転回路と、前記第2反転回路の出力信号と前記次段の出力制御回路における第1論理演算部の出力信号との論理積の反転を演算して前記負論理出力信号として出力する前記論理回路とを備えることが好ましい。

【0014】

一方、前記第1論理演算部の出力信号はハイレベルで有効となるならば、前記第2論理演算部の前記論理回路は、前記第1系統に含まれ、次段の出力制御回路における第1論理演算部の出力信号に基づいて、前記正論理出力信号の有効期間を制限するノア回路であることが好ましい。

【0015】

より具体的には、前記単位回路の出力信号はローレベルで有効となり、前記第1論理演算部はノア回路を有し、前記第2論理演算部の第2系統は、前記第1論理演算部のノア回路の出力信号を反転して前記負論理出力信号として出力する第1反転回路を備え、前記第2論理演算部の第1系統は、前記第1論理演算部のノア回路の出力信号を反転して出力する第2反転回路と、前記第2反転回路の出力信号と前記次段の出力制御回路における第1論理演算部の出力信号との論理和の反転を演算して前記正論理出力信号として出力する前記論理回路とを備えることが好ましい。

【0016】

また、上述した出力制御回路において、前記論理回路の前段に信号の振幅を変換するレベル変換回路を設けてもよい。例えば、出力制御回路の正論理出力信号と負論理出力信号とに基づいて、大振幅の信号をサンプリングする場合には、サンプリング回路を駆動するために大振幅の正論理出力信号と負論理出力信号とが必要となる。このような場合にレベル変換回路が必要となるが、レベル変換回路においても遅延が発生する。そこで、本発明にあっては、有効期間を制限する論理回路の前段にレベル変換回路を設けることによって、レベル変換回路で発生する遅延を含めて、有効期間が重複しないようにタイミングの調整した。

【0017】

より具体的には、前記単位回路の出力信号はハイレベルで有効となるならば、前記第1論理演算部は NAND 回路を有し、前記第2論理演算部は、前記第1論理演算部の NAND 回路の出力信号を反転する第2反転回路と、前記第1論理演算部の NAND 回路の出力信号と前記第2反転回路の出力信号との信号振幅を各々変換して出力する前記レベル変換回路と、レベル変換された前記第1論理演算部の NAND 回路の出力信号を反転して前記正論理出力信号として出力する第1反転回路と、レベル変換された前記第2反転回路の出力信号と前記次段の出力制御回路におけるレベル変換された第1論理演算部の出力信号との論理積の反転を演算して前記負論理出力信号として出力する前記論理回路とを備えることが好ましい。

【0018】

一方、前記単位回路の出力信号がローレベルで有効となるのであれば、前記第

1論理演算部はノア回路を有し、前記第2論理演算部は、前記第1論理演算部のノア回路の出力信号を反転する第2反転回路と、前記第1論理演算部のノア回路の出力信号と前記第2反転回路の出力信号との信号振幅を各々変換して出力する前記レベル変換回路と、レベル変換された前記第1論理演算部のノア回路の出力信号を反転して前記負論理出力信号として出力する第1反転回路と、レベル変換された前記第2反転回路の出力信号と前記次段の出力制御回路におけるレベル変換された第1論理演算部の出力信号との論理和の反転を演算して前記正論理出力信号として出力する前記論理回路とを備えることが好ましい。

【0019】

次に、本発明に係る出力制御回路は、前記第2論理演算部の後段に設けられ、前記第2論理演算部の各出力信号の電流を増幅して前記正論理出力信号および前記負論理出力信号として出力する電流増幅部を備えるものであってもよい。この場合には、1組の正論理出力信号および負論理出力信号によって、多数のスイッチ回路等を駆動することが可能となる。

【0020】

また、本発明に係る出力制御回路は、前記第2論理演算部の後段に設けられ、前記第2論理演算部の各出力信号を双方向に保持する保持部を備え、前記保持部の各出力信号を前記正論理出力信号および前記負論理出力信号として出力するものであってもよい。この場合には、正論理出力信号および負論理出力信号の有効期間を揃えることが可能となる。

【0021】

次に、本発明に係る駆動回路は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子とを有する電気光学装置を駆動するものであって、クロック信号に同期して開始パルスを順次シフトする単位回路を縦続接続した転送手段と、上述した出力制御回路を複数備えた出力制御手段とを備えたことを特徴とする。この駆動回路によれば、有効期間が互いに重ならない出力信号を得ることが可能となる。また、イネーブル信号やインヒビット信号を用いないので、高周波駆動が可能となり、くわえて、イネーブル信号やインヒビット信号を駆動するた

めに電力を消費しないから、消費電力の低減を図ることができる。

【0022】

次に、本発明に係る電気光学装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子と、画像信号が供給される画像信号線と、前記各データ線に対応して設けられ、ハイレベルで有効となる制御信号とローレベルで有効となる制御信号の組によってオン・オフが制御され、一方の端子が前記データ線に接続され、他方の端子が前記画像信号線に接続される複数のスイッチ回路と、前記各スイッチ回路に前記制御信号の組として前記正論理出力信号および前記負論理出力信号を供給する駆動回路とを備える。この電気光学装置によれば、駆動回路の駆動周波数を高めることができるとともに、各制御信号の有効期間が重複しないので、高精細で鮮明な画像を表示することが可能となる。

【0023】

次に、本発明の電子機器は、上述した電気光学装置を備えることを特徴とするものであり、例えば、ビデオカメラに用いられるビューファインダ、携帯電話機、ノート型コンピュータ、ビデオプロジェクタ等が該当する。

【0024】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照して説明する。

【0025】

<1：液晶装置の全体構成>

【0026】

まず、本発明に係る電気光学装置として、電気光学材料として液晶を用いた液晶装置を一例にとって説明する。液晶装置は、主要部として液晶パネルAAを備える。液晶パネルAAは、スイッチング素子として薄膜トランジスタ（Thin Film Transistor：以下、「TFT」と称する）を形成した素子基板と対向基板とを互いに電極形成面を対向させて、かつ、一定の間隙を保って貼付し、この間隙に液晶が挟持されている。

【0027】

図1は実施形態に係る液晶装置の全体構成を示すブロック図である。この液晶装置は、液晶パネルAA、タイミング発生回路300および画像処理回路400を備える。液晶パネルAAは、その素子基板上に画像表示領域A、走査線駆動回路100、データ線駆動回路200、サンプリング回路240および画像信号供給線L1を備える。

【0028】

この液晶装置に供給される入力画像データDは、例えば、3ビットパラレルの形式である。タイミング発生回路300は、入力画像データDに同期してYクロック信号YCK、反転Yクロック信号YCKB、Xクロック信号XCK、反転Xクロック信号XCKB、Y転送開始パルスDY、X転送開始パルスDXを生成して、走査線駆動回路100およびデータ線駆動回路200に供給する。また、タイミング発生回路300は、画像処理回路400を制御する各種のタイミング信号を生成し、これを出力する。

【0029】

ここで、Yクロック信号YCKは、走査線2を選択する期間を特定する信号である。反転Yクロック信号YCKBはYクロック信号YCKの論理レベルを反転したものである。Xクロック信号XCKは、データ線3を選択する期間を特定する。反転Xクロック信号XCKBはXクロック信号XCKの論理レベルを反転したものである。また、Y転送開始パルスDYは走査線2の選択開始を指示するパルスであり、一方、X転送開始パルスDXはデータ線3の選択開始を指示するパルスである。

【0030】

画像処理回路400は、入力画像データDに、液晶パネルの光透過特性を考慮したガンマ補正等を施した後、画像データをD/A変換して、画像信号40を生成して液晶パネルAAに供給する。なお、この例では、説明を簡略化するため、画像信号40の白黒の階調を表すものとするが、本発明はこれに限定されるものではなく、画像信号40をRGB各色に対応するR信号、G信号、およびB信号から構成してもよい。この場合には、画像信号供給線を3本設ければよい。

【0031】

次に、走査線駆動回路100は、シフトレジスタ、レベルシフタおよびバッファ等を備えている。シフトレジスタはYクロック信号YCKおよび反転Yクロック信号YCKBに同期して、Y転送開始パルスDYを転送して順次アクティブとなる信号を生成する。そして、シフトレジスタの各出力信号はTFT50のオン・オフを制御できるようにレベルシフタによってレベル変換されるとともに、バッファによって電流増幅され、各走査信号Y1～Ymとして各走査線2に供給される。

【0032】

<1-2：画像表示領域>

【0033】

次に、画像表示領域Aには、図1に示されるように、m(mは2以上の自然数)本の走査線2が、X方向に沿って平行に配列して形成される一方、n(nは2以上の自然数)本のデータ線3が、Y方向に沿って平行に配列して形成されている。そして、走査線2とデータ線3との交差付近においては、TFT50のゲートが走査線2に接続される一方、TFT50のソースがデータ線3に接続されるとともに、TFT50のドレインが画素電極6に接続される。そして、各画素は、画素電極6と、対向基板に形成される対向電極(後述する)と、これら両電極間に挟持された液晶とによって構成される。この結果、走査線2とデータ線3との各交差に対応して、画素はマトリクス状に配列されることとなる。

【0034】

また、TFT50のゲートが接続される各走査線2には、走査信号Y1、Y2、…、Ymが、パルス的に線順次で印加されるようになっている。このため、ある走査線2に走査信号が供給されると、当該走査線に接続されるTFT50がオンするので、データ線3から所定のタイミングで供給されるデータ線信号X1、X2、…、Xnは、対応する画素に順番に書き込まれた後、所定の期間保持されることとなる。

【0035】

各画素に印加される電圧レベルに応じて液晶分子の配向や秩序が変化するので、光変調による階調表示が可能となる。例えば、液晶を通過する光量は、ノーマ

リーホワイトモードであれば、印加電圧が高くなるにつれて制限される一方、ノーマリーブラックモードであれば、印加電圧が高くなるにつれて緩和されるので、液晶装置全体では、画像信号に応じたコントラストを持つ光が各画素毎に出射される。このため、所定の表示が可能となる。

【0036】

また、保持された画像信号がリークするのを防ぐために、蓄積容量51が、画素電極6と対向電極との間に形成される液晶容量と並列に付加される。例えば、画素電極6の電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量51により保持されるので、保持特性が改善される結果、高コントラスト比が実現されることとなる。

【0037】

<1-3：データ線駆動回路およびサンプリング回路>

【0038】

次に、データ線駆動回路200は、Xクロック信号XCKに同期して順次アクティブとなるサンプリング信号を生成する。サンプリング信号は2個で1組の信号であり、ある組のサンプリング信号はハイレベルでアクティブ（有効）となる正サンプリング信号とこれを反転したローレベルでアクティブとなる負サンプリング信号とからなる。そして、各組の正サンプリング信号Sa1～Sa_nは排他的にアクティブとなり、各組の負サンプリング信号Sb1～Sb_nは排他的にアクティブとなる。具体的には、サンプリング信号はSa1, Sb1→Sa2, Sb2→…Sa_n, Sb_nの順にアクティブとなる。

【0039】

次に、図2は、データ線駆動回路200およびサンプリング回路240の詳細な構成を示す回路図である。図に示すようにデータ線駆動回路200は、シフトレジスタ部210と出力信号制御部220とを含んでいる。

【0040】

まず、シフトレジスタ部210は、繊続接続されたシフトレジスタ単位回路Ua1～Ua_{n+2}を含む。各シフトレジスタ単位回路Ua1～Ua_{n+2}は、クロックドインバータ501および502とインバータ503とを備える。

【0041】

クロックドインバータ501および502は、制御端子電圧がハイレベルのときには各入力信号を反転して出力し、制御端子電圧がローレベルのときに出力端子をハイインピーダンス状態にする。クロックドインバータ501および502の各制御端子には、所定期間だけアクティブとなるクロック信号XCKと反転Xクロック信号XCKBとが供給されるようになっている。また、インバータ503の入力端子にはクロックドインバータ501の出力信号が供給される。

【0042】

そして、奇数段目のシフトレジスタ単位回路Ua1、Ua3、…においてクロックドインバータ501にはクロック信号XCKが供給されるとともにクロックドインバータ502には反転クロック信号XCKBが供給される。また、偶数段目のシフトレジスタ単位回路Ua2、Ua4、…においてクロックドインバータ502にはクロック信号XCKが供給されるとともにクロックドインバータ501には反転クロック信号XCKBが供給される。

【0043】

シフトレジスタ単位回路Ua1において、クロック信号XCKがハイレベルのときクロックドインバータ501はX転送開始パルスDXを反転して出力する。このとき、反転クロック信号XCKBはローレベルとなるので、クロックドインバータ502の出力端子はハイインピーダンス状態となる。この場合には、X転送開始パルスDXがクロックドインバータ501とインバータ503とを介して出力される。一方、反転クロック信号XCKBがハイレベルのときクロックドインバータ502はX転送開始パルスDXを反転して出力する。このとき、クロック信号XCKはローレベルとなっているので、クロックドインバータ501の出力端子はハイインピーダンス状態となっている。この場合には、クロックドインバータ502とインバータ503とによってラッチ回路が構成されることになる。

【0044】

出力信号制御部220は、 $n+1$ 個の演算単位回路Ub1～Ub $n+1$ を備える。演算単位回路Ub1～Ub $n+1$ はシフトレジスタ単位回路Ua2～Uan

+2に対応して各々設けられており、正サンプリング信号S_{a1}～S_{an}および負サンプリング信号S_{b1}～S_{bn}を出力する。各演算単位回路U_{b1}～U_{bn}は、 NAND回路511と、インバータ512および513と、 NAND回路513とを備える。また、演算単位回路U_{bn+1}はNAND回路513を備える。

【0045】

各演算単位回路U_{b1}～U_{bn}は、第1演算部と第2演算部に分けて考えることができる。第1演算部はNAND回路511から構成され、あるシフトレジスタ単位回路の出力信号と次段のシフトレジスタ単位回路の出力信号とに基づいて、両シフトレジスタ単位回路の出力信号が同時に有効となる期間に有効となる信号を生成する。

【0046】

第2演算部は、第1演算部の出力信号に基づいて正サンプリング信号と負サンプリング信号を生成する機能を有し、正サンプリング信号を生成する第1系統と負サンプリング信号を生成する第2系統とを備える。

【0047】

インバータ512は、第1系統に含まれ、NAND回路511の出力信号を反転して正サンプリング信号S_{a1}～S_{an}を生成する。また、インバータ513としてNAND回路514は第2系統に含まれる。NAND回路514は、次段の演算単位回路のNAND回路511から出力される出力信号に基づいて、負サンプリング信号の有効期間を制限する論理回路として機能する。

【0048】

次に、サンプリング回路240は、n個のトランスマニアゲートSW₁～SW_nを備える。各トランスマニアゲートSW₁～SW_nは、相補型TFTによって構成されており、正サンプリング信号S_{a1}～S_{an}および負サンプリング信号S_{b1}～S_{bn}によって制御される。そして、各サンプリング信号S_{a1}～S_{an}およびS_{b1}～S_{bn}が順次アクティブになると、各トランスマニアゲートSW₁～SW_nが順次オン状態となる。すると、画像信号供給線L1を介して供給される画像信号40がサンプリングされ、各データ線3に順次供給される。

【0049】

<1-4：データ線駆動回路200の動作>

【0050】

次に、データ線駆動回路200の動作について図3を参照しつつ説明する。図3は、データ線駆動回路200の動作を示すタイミングチャートである。

【0051】

まず、第1番目のシフトレジスタ単位回路Ua1の動作について説明する。時刻T1に至ると、Xクロック信号XCKがハイレベルになり、クロックドインバータ501がアクティブとなる。このため、信号P1は、時刻T1においてハイレベルからローレベルに立ち下がる。

【0052】

次に、時刻T2に至ると、Xクロック信号XCKがローレベルとなる一方、反転Xクロック信号XCKBがハイレベルとなるから、クロックドインバータ501が非アクティブとなる一方、クロックドインバータ502がアクティブとなる。クロックドインバータ502とインバータ503とはラッチ回路を構成しているので、信号P1はローレベルのまま維持される。

【0053】

この後、時刻T3においてXクロック信号XCKがハイレベルとなる一方、反転Xクロック信号XCKBがローレベルとなると、信号P1がローレベルからハイレベルに遷移する。そして、信号P2、P3は、クロック信号XCKを1/2周期遅延したものとなる。

【0054】

そして、演算単位回路Ub1の NAND 回路511は、信号P1および信号P2に基づいてそれらの論理積の反転を演算して出力信号Q1を生成し、演算単位回路Ub2の NAND 回路511は、信号P2および信号P3に基づいてそれらの論理積の反転を演算して出力信号Q2を生成する。このため、出力信号Q1およびQ2の信号波形は図3に示すものとなる。

【0055】

ここで、インバータ512および513の遅延時間を Δt_1 とすれば、出力信号Q1の論理レベルがハイレベルからローレベルへ遷移する時刻t1から時間 Δt_1

t_1 だけ遅れて、正サンプリング信号 S_{a1} の論理レベルがローレベルからハイレベルへ遷移する。また、出力信号 Q_1 の論理レベルがローレベルからハイレベルへ遷移する時刻 t_2 から時間 Δt_1 だけ遅れて、正サンプリング信号 S_{a1} の論理レベルがハイレベルからローレベルへ遷移する。

【0056】

次に、インバータ512の遅延時間を Δt_1 とすれば、出力信号 Q_1 の論理レベルがハイレベルからローレベルへ遷移する時刻 t_1 から時間 Δt_1 だけ遅れて、正サンプリング信号 S_{a1} の論理レベルがローレベルからハイレベルへ遷移する。また、出力信号 Q_1 の論理レベルがローレベルからハイレベルへ遷移する時刻 t_2 から時間 Δt_1 だけ遅れて、正サンプリング信号 S_{a1} の論理レベルがハイレベルからローレベルへ遷移する。

【0057】

また、 NAND 回路 514 の遅延時間を Δt_2 とすれば、時刻 t_1 から時間 $\Delta t_1 + \Delta t_2$ だけ遅れて、負サンプリング信号 S_{b1} の論理レベルがハイレベルからローレベルへ遷移する。ここで、 NAND 回路 514 が単なるインバータであれば、負サンプリング信号 S_{b1} の立ち上がりエッジは、図 3 に点線で示すように出力信号 Q_1 の立ち下がり時刻 t_2 から時間 $\Delta t_1 + \Delta t_2$ だけ遅れて発生する

。

【0058】

しかしながら、 NAND 回路 514 の一方の入力端子には、次段の演算単位回路 U_{b2} の NAND 回路 511 から出力される信号 Q_2 が供給されるので、 負サンプリング信号 S_{b1} の立ち上がりエッジ UE は、信号 Q_2 の影響を受けることになる。

【0059】

すなわち、負サンプリング信号 S_{b1} が有効となる期間は出力信号 Q_2 に基づいて制限され、負サンプリング信号 S_{b1} の立ち上がりエッジ UE は、出力信号 Q_2 の立ち下がり時刻 t_2 から時間 Δt_2 だけ遅れて発生する。これによって、正サンプリング信号 S_{a1} の有効期間が終了する時刻と負サンプリング信号 S_{b1} の有効期間が終了する時刻をほぼ一致させることが可能となる。

【0060】

また、正サンプリング信号 S_a2 は、出力信号 Q1 を時間 Δt_1 だけ遅らせて反転したものであるから、正サンプリング信号 S_a2 の立ち上りエッジ U_E2 と負サンプリング信号 S_b1 の立ち上がりエッジ U_E1 は、ほぼ同時に発生することになる。これによって、負サンプリング信号 S_b1 が有効となる期間と正サンプリング信号 S_a2 が有効となる期間とが重複する時間を殆どなくすことが可能となる。特に、 NAND 回路 514 の遅延時間 Δt_2 とインバータ 512 および 513 の遅延時間 Δt_1 とを $\Delta t_2 < \Delta t_1$ となるように、各論理回路のトランジスタサイズを決定すれば、有効期間の重複を完全になくすことが可能となる。

【0061】

これにより、図 2 に示すトランスファーゲート SW1 ~ SWn は、排他的にオン状態となる。この結果、画像信号 40 が所定のタイミングでサンプリングされ、データ線信号 X1 ~ Xn として各データ線 3 に供給されるから、あるデータ線 3 に供給すべきデータ線信号が隣接するデータ線 3 に供給されるのを防止することができる。よって、この液晶パネル AA によれば、いわゆるゴーストの発生を防止して、画像のにじみがない鮮明な画像を表示することが可能となる。

【0062】

また、本実施形態によれば、イネーブル信号やインヒビット信号を用いてサンプリング信号のパルス幅を制限していないので、データ線駆動回路 200 の動作周波数が高くなても各サンプリング信号の有効期間が重複するのを防止することができる。

【0063】

また、イネーブル信号やインヒビット信号を用いる場合には、これらの信号を引き回す配線が必要となり、さらにそのような配線には浮遊容量が発生するため、イネーブル信号やインヒビット信号を供給する供給回路で大きな電力が消費されてしまうが、本実施形態によれば、配線や供給回路が不要となるので、簡易な構成で、且つ、消費電力を削減することも可能となる。この点は、携帯電話機等の電池で駆動される携帯用電子機器の表示部として液晶パネル AA を適用する場合に特に重要である。

【0064】

<1-5：液晶パネルの構成例>

【0065】

次に、上述した電気的構成に係る液晶パネルの全体構成について図4および図5を参照して説明する。ここで、図4は、液晶パネルAAの構成を示す斜視図であり、図5は、図4におけるZ-Z'線断面図である。

【0066】

これらの図に示されるように、液晶パネルAAは、画素電極6等が形成されたガラスや半導体等の素子基板151と、共通電極158等が形成されたガラス等の透明な対向基板152とを、スペーサ153が混入されたシール材154によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせるとともに、この間隙に電気光学材料としての液晶155を封入した構造となっている。なお、シール材154は、対向基板152の基板周辺に沿って形成されるが、液晶155を封入するために一部が開口している。このため、液晶155の封入後に、その開口部分が封止材156によって封止されている。

【0067】

ここで、素子基板151の対向面であって、シール材154の外側一辺においては、上述したデータ線駆動回路200が形成されて、Y方向に延在するデータ線3を駆動する構成となっている。さらに、この一辺には複数の接続電極157が形成されて、タイミング発生回路300からの各種信号や画像信号40R、40G、40Bを入力する構成となっている。また、この一辺に隣接する一辺には、走査線駆動回路100が形成されて、X方向に延在する走査線2をそれぞれ両側から駆動する構成となっている。

【0068】

一方、対向基板152の共通電極158は、素子基板151との貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材によって、素子基板151との電気的導通が図られている。ほかに、対向基板152には、液晶パネルAAの用途に応じて、例えば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、クロム

やニッケルなどの金属材料や、カーボンやチタンなどをフォトレジストに分散した樹脂ブラックなどのブラックマトリクスが設けられ、第3に、液晶パネルAAに光を照射するバックライトが設けられる。特に色光変調の用途の場合には、カラーフィルタは形成されずにブラックマトリクスが対向基板152に設けられる。

【0069】

くわえて、素子基板151および対向基板152の対向面には、それぞれ所定の方向にラビング処理された配向膜などが設けられる一方、その各背面側には配向方向に応じた偏光板（図示省略）がそれぞれ設けられる。ただし、液晶155として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜、偏光板等が不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0070】

なお、データ線駆動回路200、走査線駆動回路100等の周辺回路の一部または全部を、素子基板151に形成する替わりに、例えば、TAB (Tape Automated Bonding) 技術を用いてフィルムに実装された駆動用ICチップを、素子基板151の所定位置に設けられる異方性導電フィルムを介して電気的および機械的に接続する構成としても良いし、駆動用ICチップ自体を、COG (Chip On Glass) 技術を用いて、素子基板151の所定位置に異方性導電フィルムを介して電気的および機械的に接続する構成としても良い。

【0071】

<1-6：データ線駆動回路の他の構成例>

【0072】

<1-6-1：負論理の構成例>

【0073】

上述したデータ線駆動回路200は、X転送開始パルスDXがハイレベルでアクティブとなる正論理に対応するものであった。この変形例のデータ線駆動回路200'は、X転送開始パルスDXがローレベルでアクティブとなる負論理に対応するものである。

【0074】

図6は、データ線駆動回路200の詳細な構成を示す回路図であり、図7は、そのタイミングチャートである。データ線駆動回路200'は、演算単位回路U_{b1}～U_{bn}において NAND 回路511をノア回路515に置き換えた点および NAND 回路514をノア回路516に置き換えた点を除いて、上述したデータ線駆動回路200と同一である。

【0075】

図7に示すようにX転送開始パルスDXはローレベルでアクティブとなるため、信号P₁、P₂、…はローレベルでアクティブとなり、ノア回路515の出力信号Q₁、Q₂…は、ハイレベルでアクティブとなる。

【0076】

したがって、正サンプリング信号S_{a1}、S_{a2}、…は、出力信号Q₁、Q₂…を2回反転することによって生成される。一方、負サンプリング信号S_{b1}、S_{b2}、…は、出力信号Q₁、Q₂…を1回反転することによって生成される。このため、この例では正サンプリング信号S_{a1}、S_{a2}、…を生成する系統の方が負サンプリング信号S_{b1}、S_{b2}、…を生成する系統と比較して遅延時間が長くなる。そこで、正サンプリング信号S_{a1}、S_{a2}、…を生成する系統にノア回路516を用いて、正サンプリング信号S_{a1}、S_{a2}、…の有効期間を次段のノア回路515の出力信号によって有効期間を制限している。

【0077】

これにより、正サンプリング信号S_{a1}が有効となる期間と負サンプリング信号S_{b2}が有効となる期間とが重複する期間を殆どなくすことが可能となる。特に、ノア回路516の遅延時間Δt₂とインバータ512および513の遅延時間Δt₁とを $\Delta t_2 < \Delta t_1$ となるように、各論理回路のトランジスタサイズを決定すれば、有効期間の重複を完全になくすことが可能となる。

【0078】

<1-6-2：レベルシフタを含む構成例>

【0079】

上述したデータ線駆動回路200および200'はレベルシフタを含むもので

あってもよい。図8に、レベルシフタを含むデータ線駆動回路200の構成例を示す。この図に示すように出力信号制御部220を構成する各演算単位回路U_b1～U_bn+1はレベルシフタLS1～LSn+1を有する。各レベルシフタは、入力信号のレベル変換して出力信号を生成する。

【0080】

図9（A）は、データ線駆動回路200に用いる演算単位回路U_b2の回路図である。レベルシフタLS2は、 NAND回路511の出力信号IN1とインバータ513の出力信号IN2とに基づいて、各信号IN1およびIN2の電圧レベルを変換して出力信号OUT1およびOUT2を出力する。例えば、電位V_{ss}、V_{dd}、V_{hh}の間にV_{ss} < V_{dd} < V_{hh}の関係があり、信号IN1およびIN2が電位V_{ss}と電位V_{dd}との間で振れるとしたとき、信号OUT1およびOUT2は電位V_{ss}と電位V_{hh}との間で振れる。

【0081】

このように NAND回路514の前にレベルシフタLS2を設けたのは、レベルシフト時に信号波形のエッジの傾斜が緩やかになり、有効期間が重なることがあるので、レベルシフト後の信号に対してタイミング調整を行うためである。

【0082】

したがって、レベルシフタは NAND回路514より前であればどこに設けてもよく、例えば、シフトレジスタ単位回路Ua1の前段に設けて、X転送開始パルスDXの信号振幅を変換してもよいし、演算単位回路Ub2の直前に設けてもよい。なお、負論理に対応するデータ線駆動回路200'における演算単位回路Ub2も同様にレベルシフタを組み込むことができる。図9（B）にその回路図を示す。

【0083】

<1-6-3：バッファ回路を含む構成例>

【0084】

上述したデータ線駆動回路200および200'はバッファ回路を含むものであってもよい。図10はバッファ回路を含むデータ線駆動回路200の一部とその周辺構成を示す回路図である。この例では、正サンプリング信号Saおよび負

サンプリング信号 S_bが3個のトランスマニアゲートを駆動するものとする。このような場合には、1個のトランスマニアゲートを駆動する場合と比較して消費電流が大きくなるので、同図に示すバッファ回路 BUF を備えることが好ましい。

【0085】

バッファ回路 BUF は4個のインバータ 221～224 から構成されている。そして、インバータ 221～224 を構成するトランジスタのサイズを大きくすることによって、出力電流を大きくすることが可能となる。

【0086】

<1-6-4：バッファ回路を含む構成例>

【0087】

上述したデータ線駆動回路 200 および 200' はラッチ回路を含むものであってもよい。図 11 はラッチ回路を含むデータ線駆動回路 200 の一部とその周辺構成を示す回路図である。ラッチ回路 LAT は、インバータ 225～228 から構成されている。そして、リング状に接続されたインバータ 225 および 226 によって、正サンプリング信号 S_a と負サンプリング信号 S_b のパルス幅を揃えることができ、さらに、隣接するサンプリング信号の重なりをより一層減少させることができが可能となる。

【0088】

<2. 応用例>

【0089】

<2-1：素子基板の構成など>

【0090】

上述した各実施形態においては、液晶パネルの素子基板 151 をガラス等の透明な絶縁性基板により構成して、当該基板上にシリコン薄膜を形成するとともに、当該薄膜上にソース、ドレイン、チャネルが形成された TFT によって、画素のスイッチング素子 (TFT 50) やデータ線駆動回路 200、および走査線駆動回路 100 の素子を構成するものとして説明したが、本発明はこれに限られるものではない。

【0091】

例えば、素子基板151を半導体基板により構成して、当該半導体基板の表面にソース、ドレイン、チャネルが形成された絶縁ゲート型電界効果トランジスタによって、画素のスイッチング素子や各種の回路の素子を構成しても良い。このように素子基板151を半導体基板により構成する場合には、透過型の表示パネルとして用いることができないため、画素電極6をアルミニウムなどで形成して、反射型として用いられることとなる。また、単に、素子基板151を透明基板として、画素電極6を反射型にしても良い。

【0092】

さらに、上述した実施の形態にあっては、画素のスイッチング素子を、TFTで代表される3端子素子として説明したが、ダイオード等の2端子素子で構成しても良い。ただし、画素のスイッチング素子として2端子素子を用いる場合には、走査線2を一方の基板に形成し、データ線3を他方の基板に形成するとともに、2端子素子を、走査線2またはデータ線3のいずれか一方と、画素電極との間に形成する必要がある。この場合、画素は、走査線2とデータ線3との間に直列接続された二端子素子と、液晶とから構成されることとなる。

【0093】

また、本発明は、アクティブマトリクス型液晶表示装置として説明したが、これに限らず、STN (Super Twisted Nematic) 液晶などを用いたパッシブ型にも適用可能である。さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う表示装置にも適用可能である。すなわち、本発明は、上述した液晶装置と類似の構成を有するすべての電気光学装置に適用可能である。

【0094】

<2-2：電子機器>

【0095】

次に、上述した液晶装置を各種の電子機器に適用される場合について説明する。

【0096】

<2-2-1：プロジェクタ>

【0097】

まず、この液晶装置をライトバルブとして用いたプロジェクタについて説明する。図12は、プロジェクタの構成例を示す平面図である。

【0098】

この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、ライトガイド1104内に配置された4枚のミラー1106および2枚のダイクロイックミラー1108によってRGBの3原色に分離され、各原色に対応するライトバルブとしての液晶パネル1110R、1110Bおよび1110Gに入射される。

【0099】

液晶パネル1110R、1110Bおよび1110Gの構成は、上述した液晶パネルAAと同等であり、画像信号処理回路（図示省略）から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112においては、RおよびBの光が90度に屈折する一方、Gの光が直進する。したがって、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン等にカラー画像が投写されることとなる。

【0100】

ここで、各液晶パネル1110R、1110Bおよび1110Gによる表示像について着目すると、液晶パネル1110Gによる表示像は、液晶パネル1110R、1110Bによる表示像に対して左右反転することが必要となる。

【0101】

なお、液晶パネル1110R、1110Bおよび1110Gには、ダイクロイックミラー1108によって、R、G、Bの各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

【0102】

<2-2-2：モバイル型コンピュータ>

【0103】

次に、この液晶パネルを、モバイル型のパーソナルコンピュータに適用した例について説明する。図13は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユニット1206とから構成されている。この液晶表示ユニット1206は、先に述べた液晶パネル1005の背面にバックライトを付加することにより構成されている。

【0104】

<2-2-3：携帯電話>

【0105】

さらに、この液晶パネルを、携帯電話に適用した例について説明する。図13は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302とともに、反射型の液晶パネル1005を備えるものである。この反射型の液晶パネル1005にあっては、必要に応じてその前面にフロントライトが設けられる。

【0106】

なお、図11～図13を参照して説明した電子機器の他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた装置等などが挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

【0107】

【発明の効果】

以上説明したように本発明よれば、ある正論理出力信号および負論理出力信号の組が有効となる期間と、次の正論理出力信号および負論理出力信号の組が有効となる期間とが重複する期間を大幅に減少させることができる。そして、本発明を適用した電気光学装置は、高精細で鮮明な画像を表示することができる。

【図面の簡単な説明】

【図1】 本発明に係る液晶パネルAAの全体構成を示すブロック図である。

【図2】 同装置のデータ線駆動回路200およびサンプリング回路240の詳細な構成を示す回路図である。

【図3】 データ線駆動回路200のタイミングチャートである。

【図4】 同液晶パネルの構造を説明するための斜視図である。

【図5】 同液晶パネルの構造を説明するための一部断面図である。

【図6】 負論理に対応するデータ線駆動回路200'の回路図である。

【図7】 データ線駆動回路200'のタイミングチャートである。

【図8】 レベルシフタを含むデータ線駆動回路200のブロック図である。

【図9】 レベルシフタを含む演算単位回路Ub2の回路図である。

【図10】 バッファ回路を含むデータ線駆動回路200のブロック図である。

【図11】 ラッチ回路を含むデータ線駆動回路200のブロック図である。

【図12】 同液晶装置を適用した電子機器の一例たるビデオプロジェクタの断面図である。

【図13】 同液晶装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図14】 同液晶装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【符号の説明】

2 ……走査線

3 ……データ線

6 ……画素電極

50 ……TFT (スイッチング素子)

Sa1～Sa n ……正サンプリング信号

Sb1～Sb n ……負サンプリング信号

200、200' ……データ線駆動回路

210 ……シフトレジスタ部

220 ……出力信号制御部

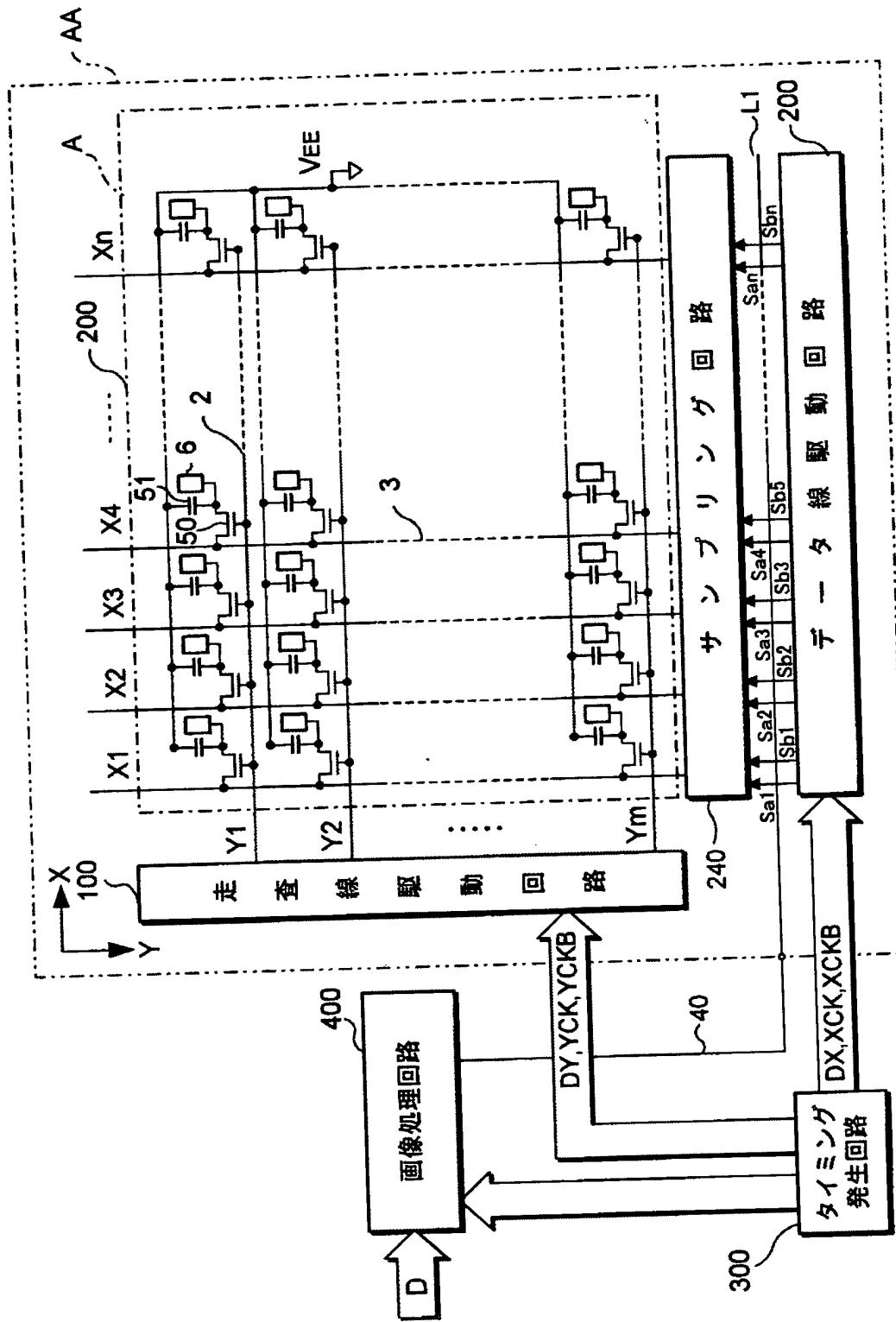
L S 1 ~ L S n ……レベルシフタ

U a 1 ~ U a n + 2 ……シフトレジスタ単位回路

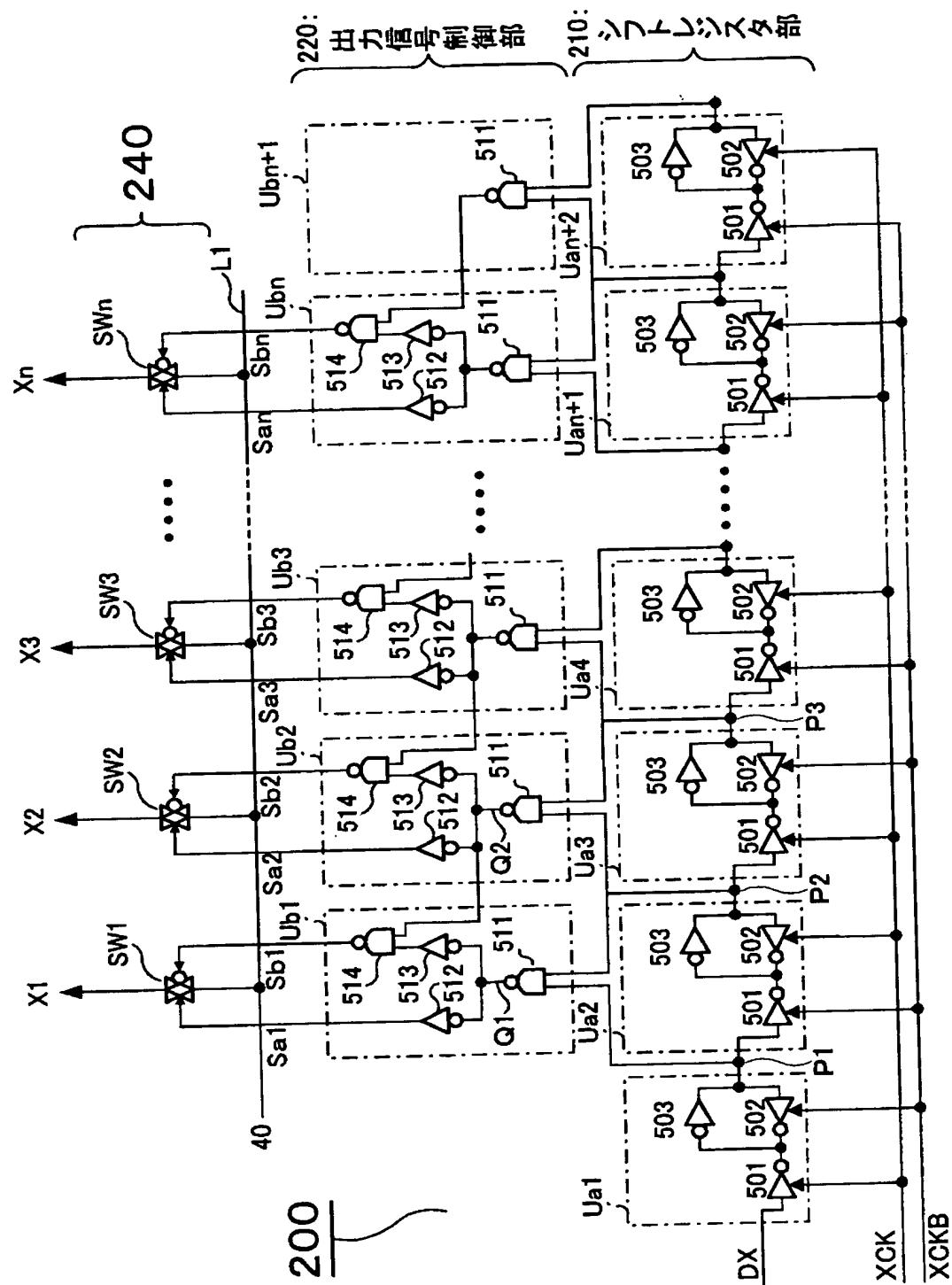
U b 1 ~ U b n + 1 ……演算単位回路

【書類名】 図面

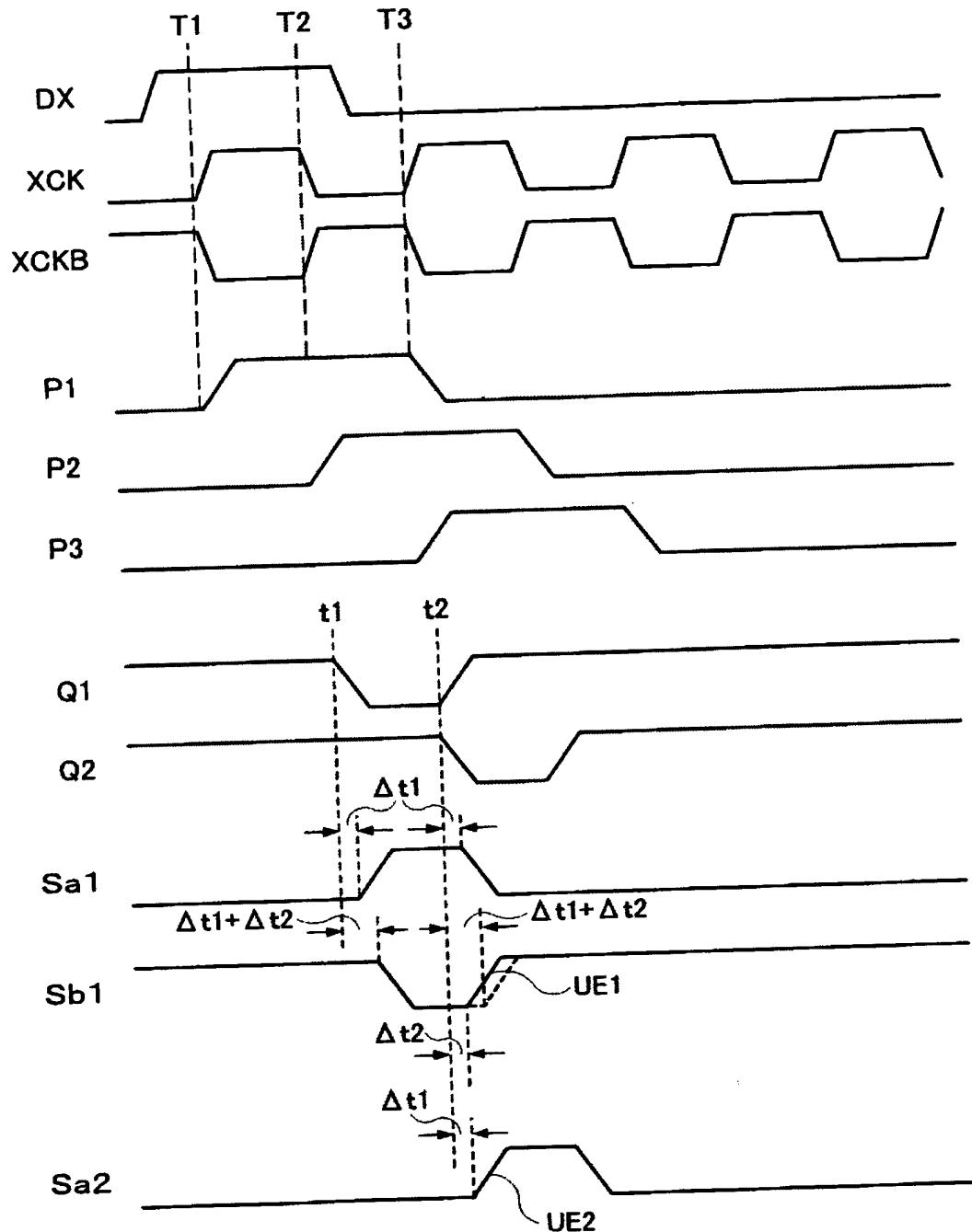
【図1】



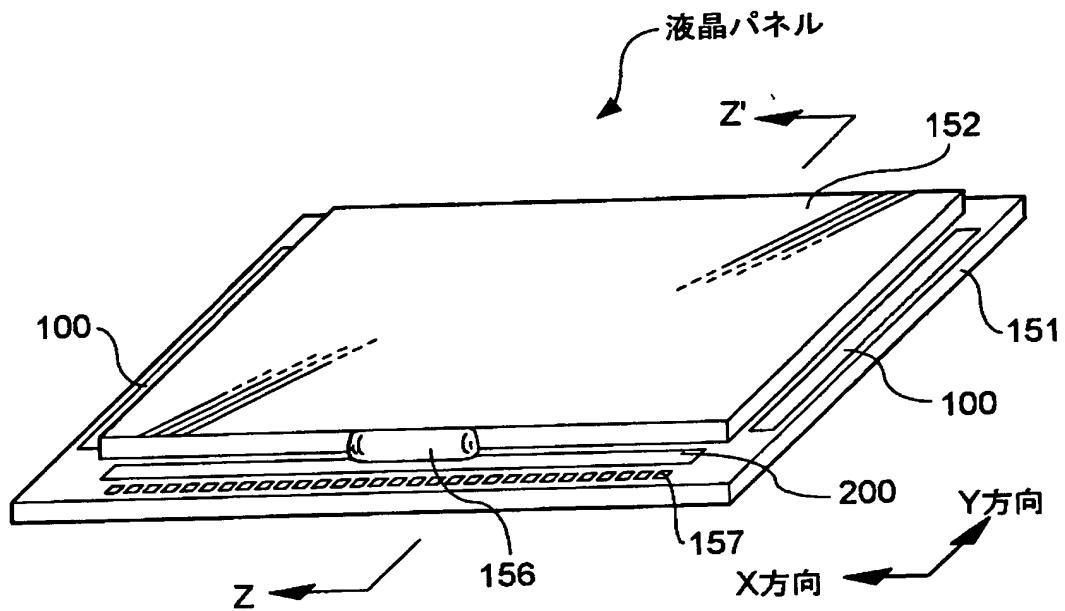
【図2】



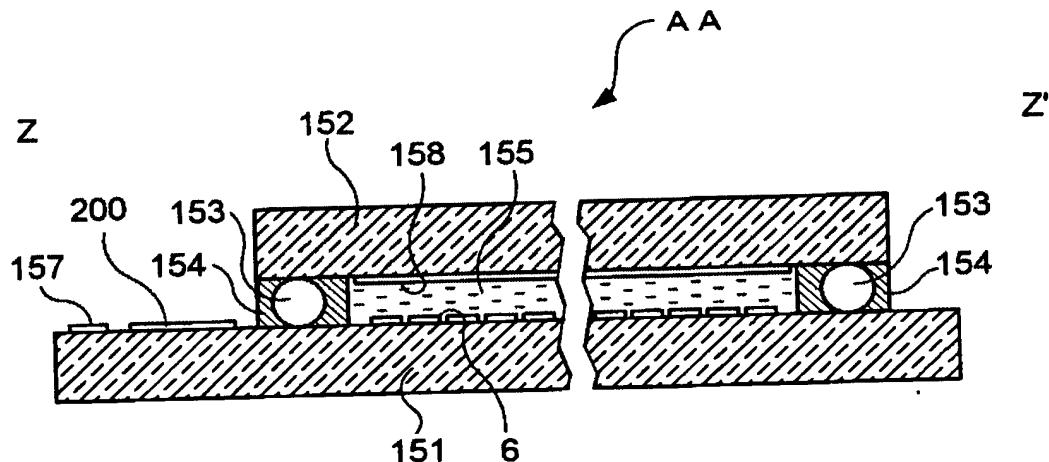
【図3】



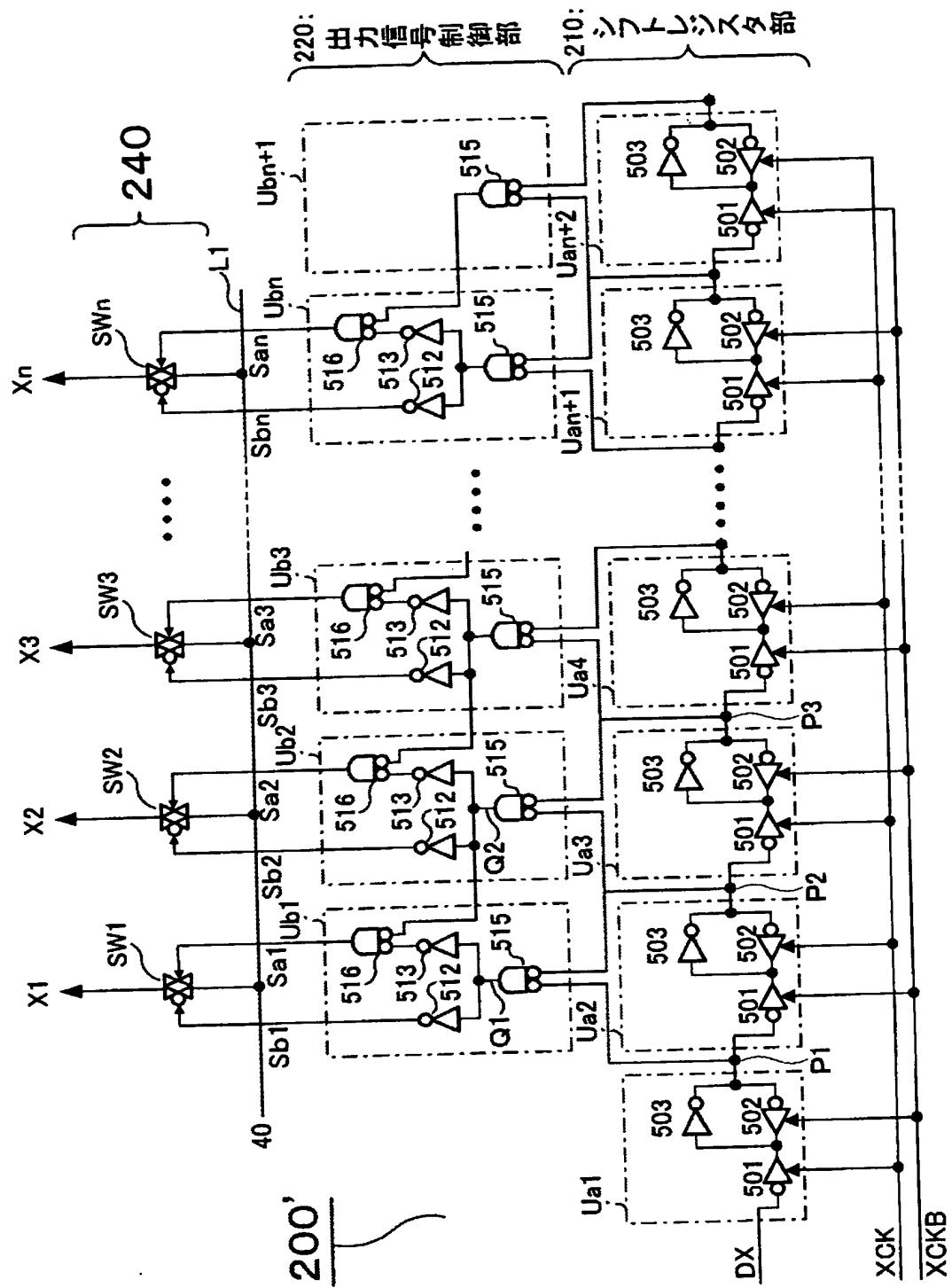
【図4】



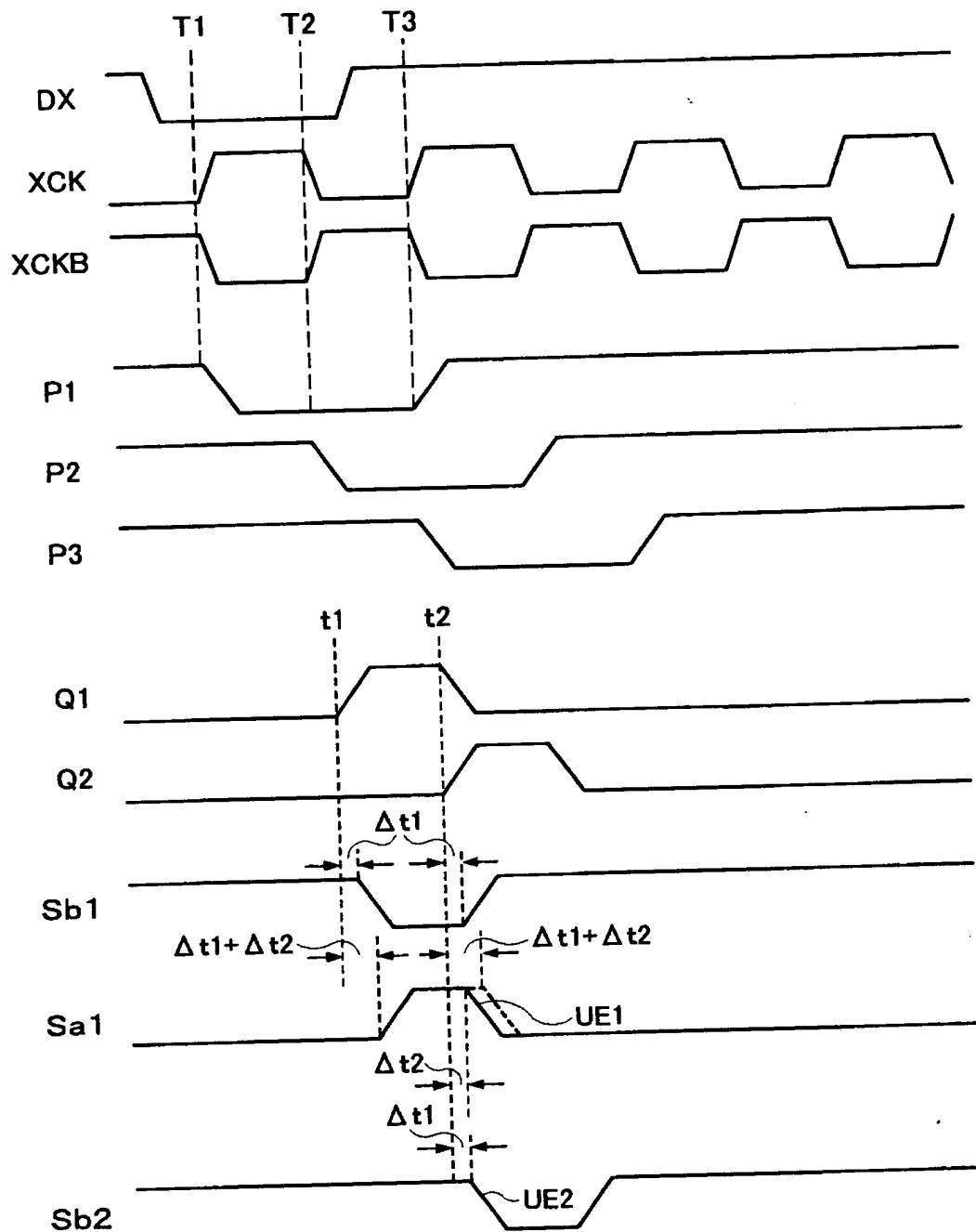
【図5】



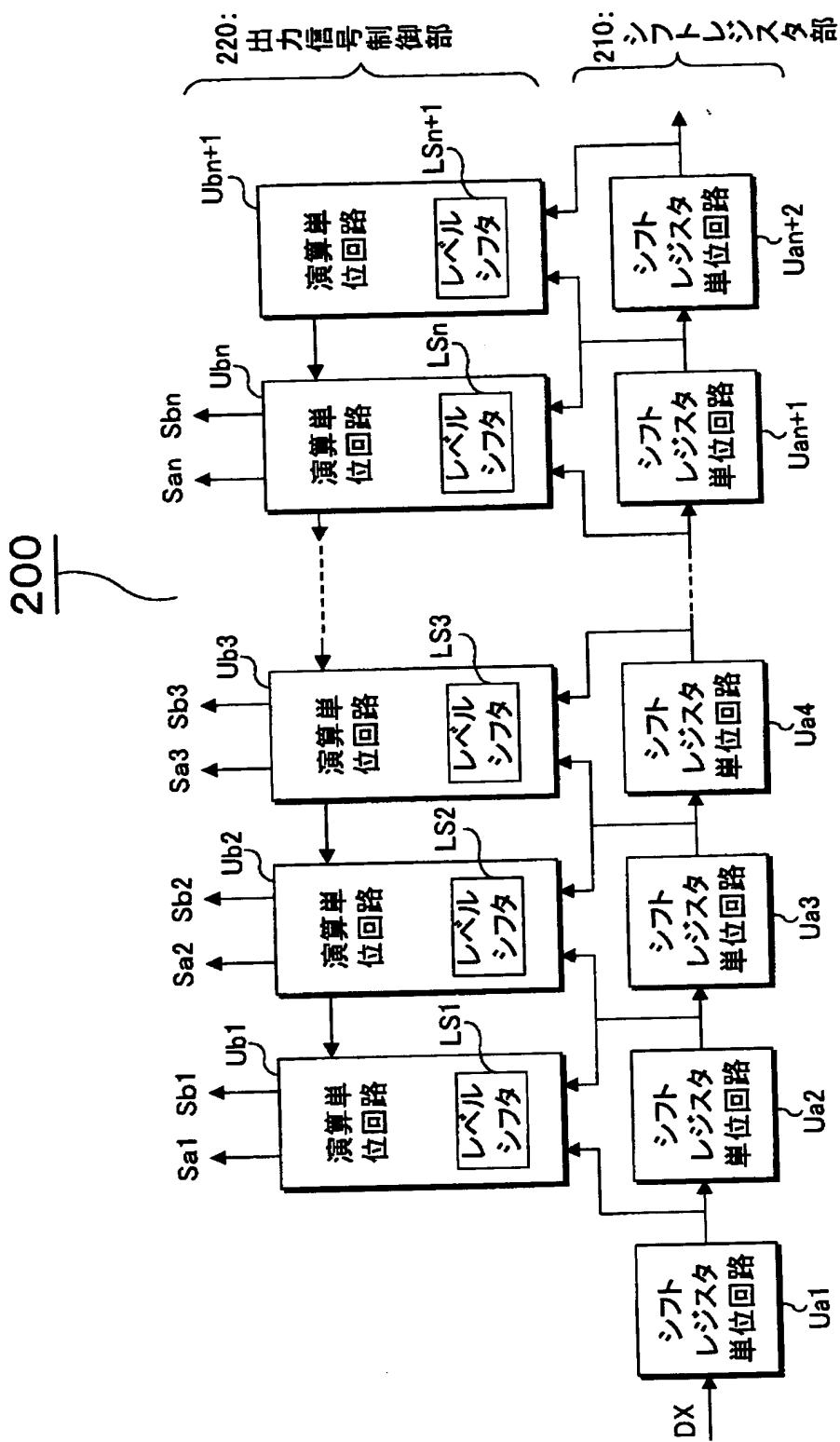
〔図6〕



【図7】

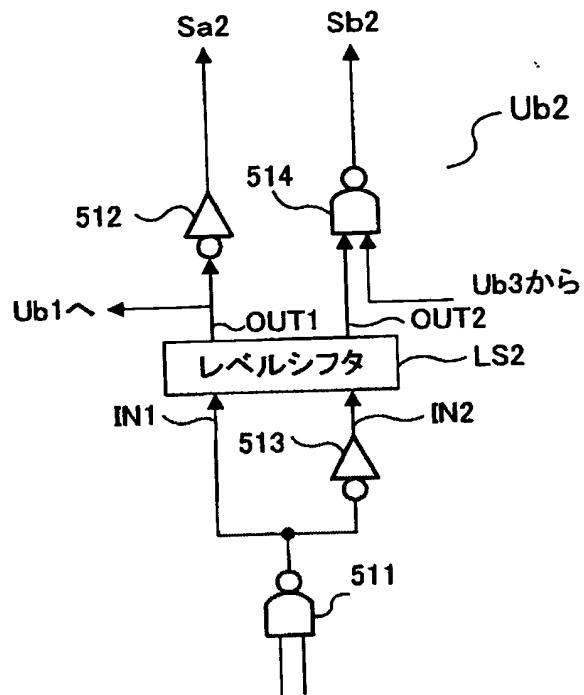


【図8】

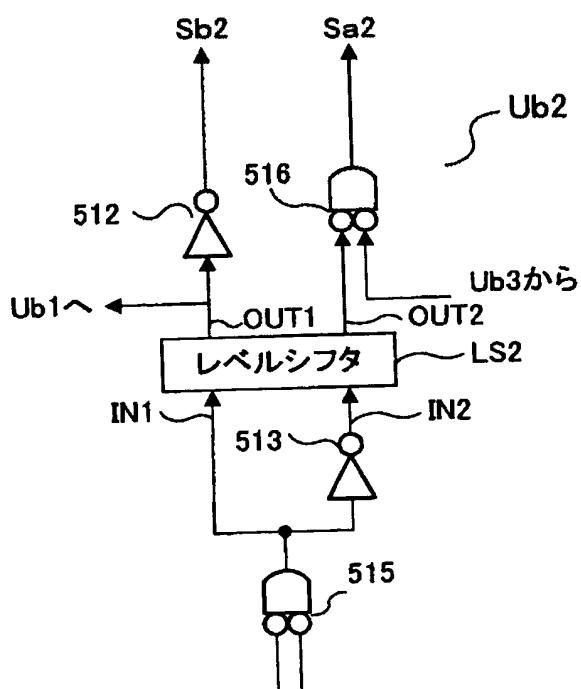


【図9】

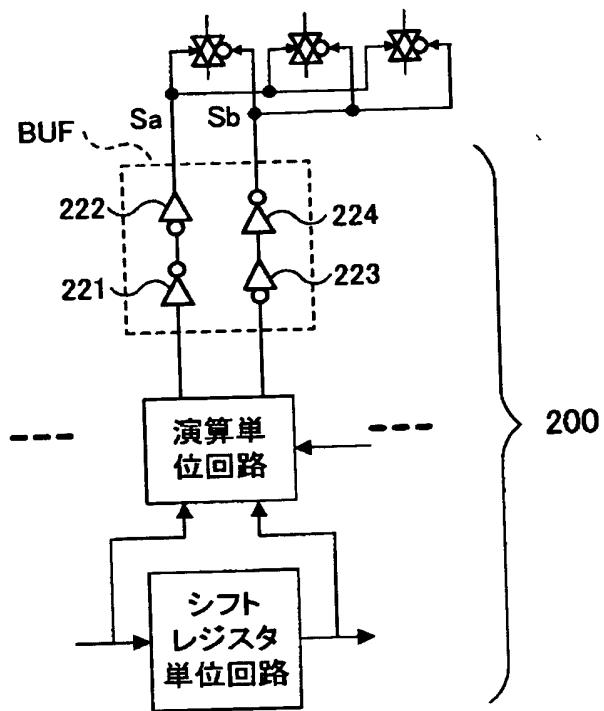
(A)



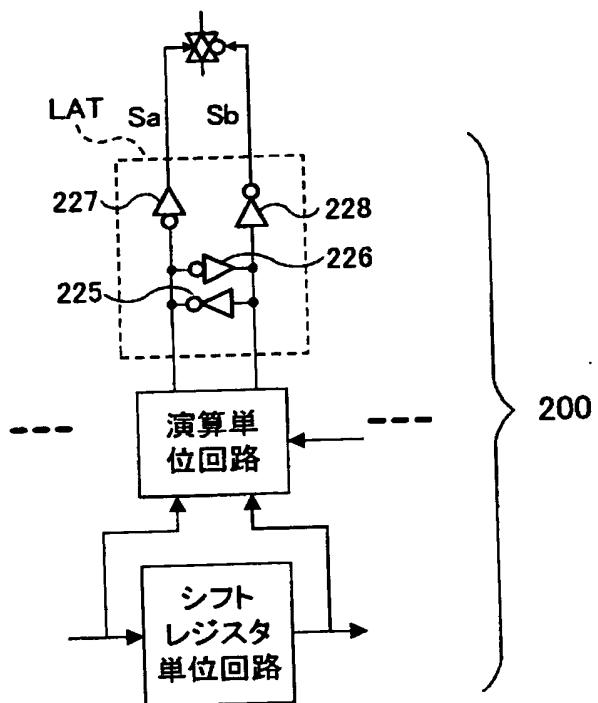
(B)



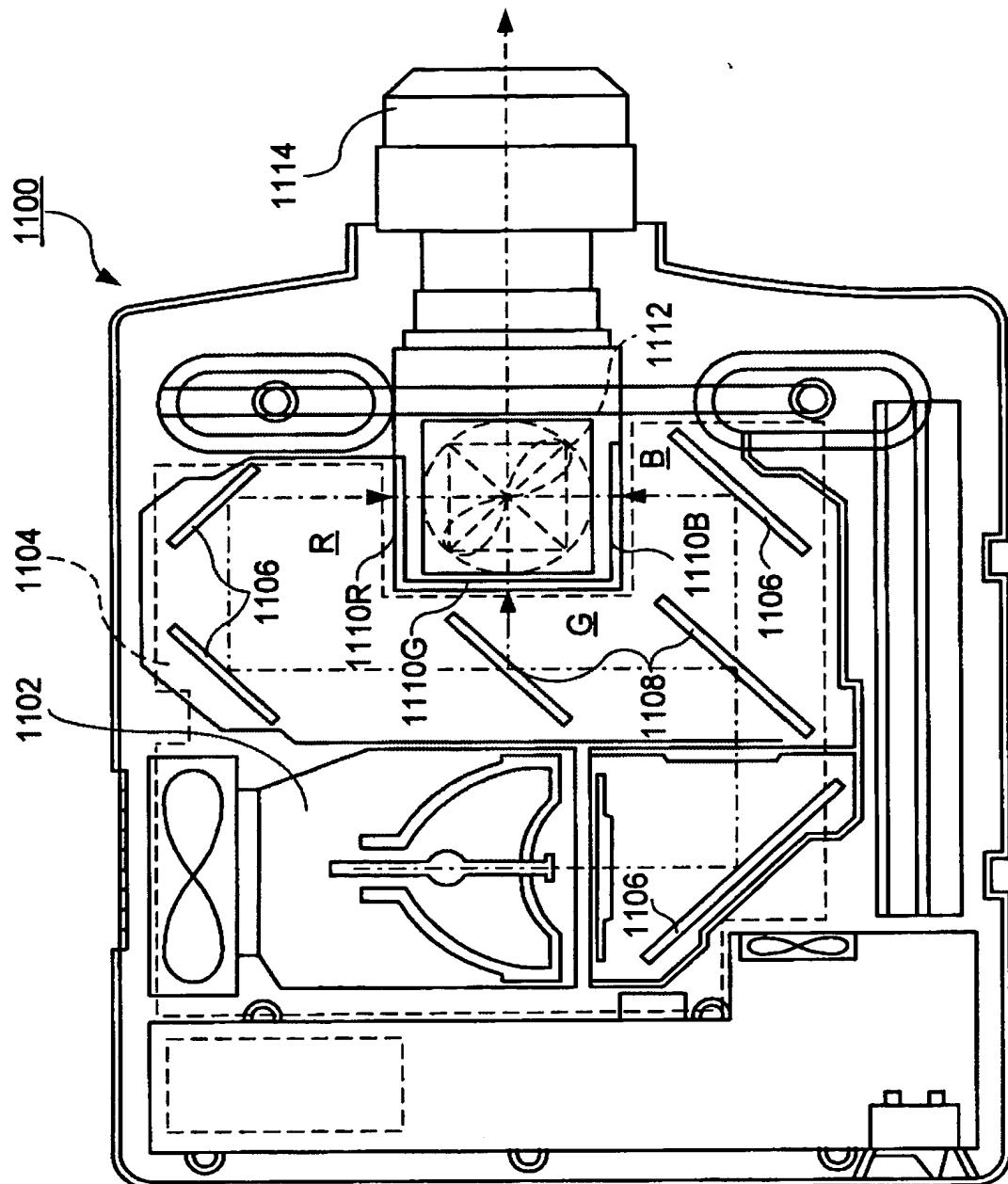
【図10】



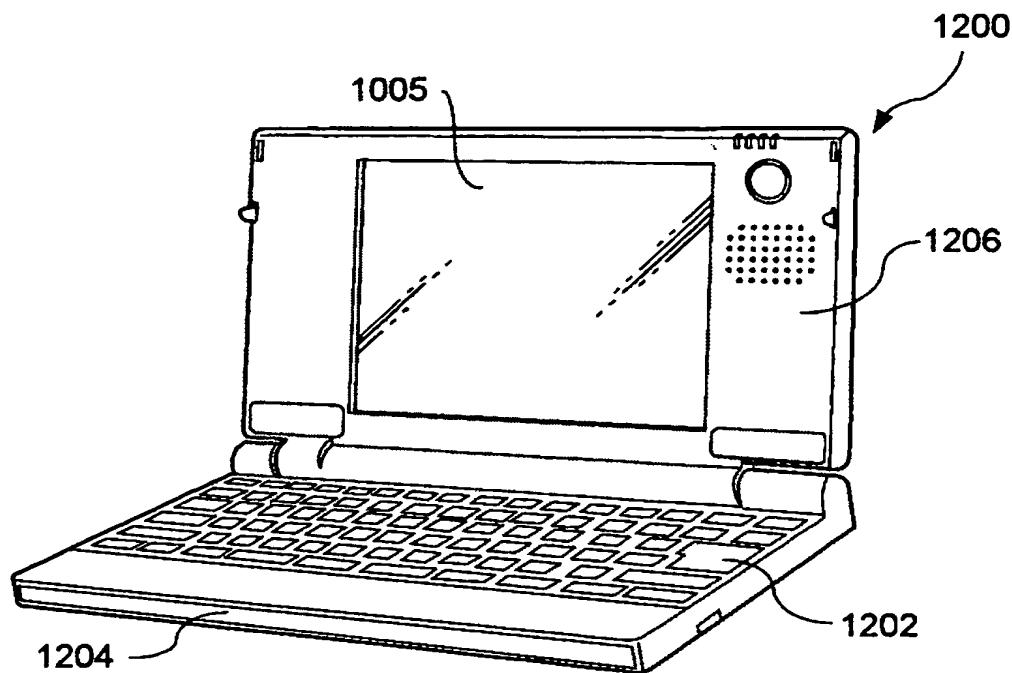
【図11】



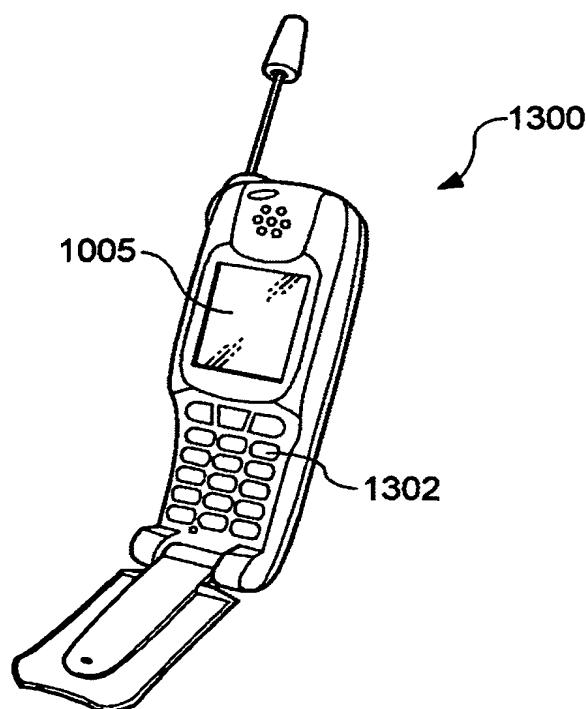
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 サンプリング信号の重複をなくす。

【解決手段】 データ線駆動回路200は、各シフトレジスタ単位回路U_a1～U_a_n+2を縦続接続したシフトレジスタ部210と、各演算単位回路U_b1～U_b_n+1からなる出力信号制御部220を備える。 NAND回路514は次段の演算単位回路におけるNAND回路511の出力信号に基づいて、負サンプリング信号の有効期間を制限する。

【選択図】 図2

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号

氏名 セイコーエプソン株式会社